

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-020014  
 (43)Date of publication of application : 02.02.1982

(51)Int.CI. H03H 17/02

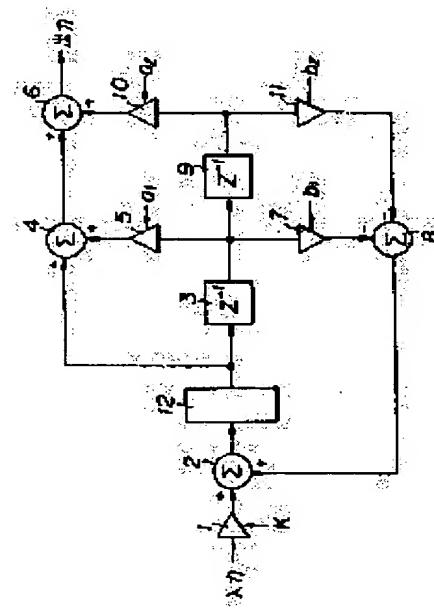
(21)Application number : 55-094465 (71)Applicant : CASIO COMPUT CO LTD  
 (22)Date of filing : 09.07.1980 (72)Inventor : SANO SHIGENORI

## (54) DIGIT OVERFLOW PROCESSOR OF DIGITAL FILTER

## (57)Abstract:

PURPOSE: To prevent oscillating operation due to an overflow by performing overflow processing by outputting the maximum value of a dynamic range when input data is positive or the minimum value when negative.

CONSTITUTION: According to the value of the output data of an adder 2 which adds the outputs of an adder 8 and a multiplier 1, a digit overflow circuit 12 controls the output data. When the absolute value of input data to the circuit 12 is  $>1$ , the input data is outputted as it is. When the absolute value of the input data to the circuit 12 is  $\geq 1$  and  $<2$ , the circuit 12 outputs the maximum value of a dynamic range in response to the positive input or the minimum value in response to the negative one. Therefore, the circuit 12 prevents an overflow to prevent oscillations of a filter.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

# BEST AVAILABLE COPY

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭57-20014

⑯ Int. Cl.<sup>3</sup>  
H 03 H 17/02

識別記号  
H 03 H 17/02

厅内整理番号  
8124-5 J

⑯ 公開 昭和57年(1982)2月2日

発明の数 1  
審査請求 未請求

(全4頁)

⑯ ディジタルフィルタの桁あふれ処理装置

目2番1号カシオ計算機株式会  
社羽村技術センター内

⑯ 特 願 昭55-94465

⑯ 出 願 人 カシオ計算機株式会社

⑯ 出 願 昭55(1980)7月9日

東京都新宿区西新宿2丁目6番  
1号

⑯ 発明者 佐野重則

東京都西多摩郡羽村町栄町3丁

## 明細書

### 1. 発明の名称

ディジタルフィルタの桁あふれ処理装置

### 2. 特許請求の範囲

少なくとも乗算器、加算器、遅延回路等より成るディジタルフィルタが種々考案されている。例えば、第1図は、2次/2次の巡回形ディジタルフィルタを示すもので、図中1は乗算器で、外部の例えばROM(リードオンリメモリ)より係数Kが与えられ、入力データをK倍して加算器2に供給する。この加算器2の出力は単位時間の遅延を行う遅延回路3に供給されると共に、加算器4に供給される。更に、この加算器4には、上記遅延回路3出力が乗算器5にて±1倍されて供給され、これ等のデータを加算してその結果データを加算器6に供給する。

従来より、乗算器、加算器、遅延回路等より成るディジタルフィルタが種々考案されている。例えば、第1図は、2次/2次の巡回形ディジタルフィルタを示すもので、図中1は乗算器で、外部の例えばROM(リードオンリメモリ)より係数Kが与えられ、入力データをK倍して加算器2に供給する。この加算器2の出力は単位時間の遅延を行う遅延回路3に供給されると共に、加算器4に供給される。更に、この加算器4には、上記遅延回路3出力が乗算器5にて±1倍されて供給され、これ等のデータを加算してその結果データを加算器6に供給する。

また、上記遅延回路3出力は乗算器7にて±1倍して加算器8に供給されると共に、単位時間の遅延を行う遅延回路9に供給される。そして、この遅延回路9出力は、乗算器10に供給され、±1倍されて加算器6に供給されると共に、乗算器11に供給され、±1倍されて加算器8に与えられる。

加算器8では、上記乗算器7出力と乗算器11出力の各々を減算して、加算器2に印加する。従

### 3. 発明の詳細な説明

本発明は並列演算処理により動作するディジタルフィルタの桁あふれ処理装置に関する。

って、上記加算器2は、乗算器1出力と加算器8出力を加算する。

このように構成されたディジタルフィルタの出力は、加算器4出力と乗算器10出力を加算する上記加算器6の出力であり、従って、上記ディジタルフィルタの伝達関数は

$$H(z) = K \frac{1+a_1 z^{-1} + a_2 z^{-2}}{1+b_1 z^{-1} + b_2 z^{-2}} \quad \cdots \text{式(1)}$$

となる。尚、上記ディジタルフィルタの演算処理は2の補数表現で全てパラレルに行われ、その信号伝搬ラインもパラレルに設けられている。

然るに、このようなディジタルフィルタにおいては、各データは有限ビット長で表わされる為、演算結果が常にダイナミックレンジを越えないよう<sup>1</sup>にする必要があり、今の場合、ディジタルフィルタの巡回経路例えば加算器2で桁あふれを起こした場合は、フィルタは発振状態となり、非常に不都合を生ずるものであった。

この発明は以上の点に鑑みてなされたもので、並列演算処理により動作するディジタルフィルタ

において、処理データのオーバーフローによりデジタルフィルタが発振動作をするのを防止するデジタルフィルタの桁あふれ処理装置を提供することを目的とする。

以下、本発明の一実施例につき、図面を参照して詳細に説明する。第2図は、本実施例の回路構成を示すものであるが、説明の簡略化の為、第1図と同一箇所には同一符号を付し、その説明を省略する。図中1-2は桁あふれ処理回路で、その詳細を説明する前に、この桁あふれ処理回路1-2の概略につき説明する。即ち、入力信号をその絶対値が1未満のデータであるとして、次の仮定、即ち「桁あふれ処理回路1-2の出力の絶対値は1未満のデータである。」という仮定をする。

更に、フィルタが安定して動作する為に、伝達関数の極が全て2平面上の単位円内にある必要があり、その為、上記伝達関数の係数 $b_1$ 、 $b_2$ は

$$|b_1| < 2 \quad \cdots \text{式(2)}$$

$$|b_2| < 1 \quad \cdots \text{式(3)}$$

でなければならない。更に、係数 $K$ は、

$$|K| < 1 \quad \cdots \text{式(4)}$$

でなければならない。

従って、乗算器1の出力はその絶対値が必ず1未満となり、上記仮定により乗算器7の出力はその絶対値が必ず2未満となり、また乗算器11の出力はその絶対値が1未満であり、従って加算器8出力の絶対値は3未満となる。その為、加算器2の出力は、乗算器1出力及び加算器8出力の絶対値がそれぞれ1未満、3未満である為、4未満のデータとなる。

よって、上記加算器2出力は符号ビットも含め小数点以上3ビット構成となるが、どのデータに対し、桁あふれ処理回路1-2は、上記仮定を満足するよう<sup>1</sup>、その出力データの絶対値が1未満のデータとなるように制御するものである。

以下、この桁あふれ処理回路1-2につき第3図を参照して説明する。この桁あふれ処理回路1-2の入力は、上述した如く、小数点以上3ビットであり、また小数点以下を7ビットとする。このデータのうち、小数点以上第1ビットから、~~小数点~~

以下第3ビットから~~小数点~~小数点以下全ビットは、トランジスタゲート20～27に供給され、小数点以上第1、第2、第3ビットはアンドゲート13へ直接供給されると共に、インバータ14～16を介してアンドゲート17に供給される。そして、このアンドゲート13、17の出力はオアゲート18を介して、上記トランジスタゲート20～27の開成信号となると共に、インバータ19を介して後述するトランジスタゲート30～37の開成信号となる。

即ち、上記トランジスタゲート30には、上記入力データの小数点以上第3ビットである符号ビットが供給され、上記トランジスタゲート31～37には上記符号ビットがインバータ40にて反転された信号が供給される。

そして、上記オアゲート18出力が“1”的場合は、トランジスタゲート20～27の出力が桁あふれ処理回路1-2の出力となり、上記オアゲート18出力が“0”的場合は、トランジスタゲート30～37の出力が桁あふれ処理回路1-2の出

BEST AVAILABLE COPY

力となる。

次に、以上の如く構成された本実施例の動作につき説明する。即ち、加算器 8 出力及び乗算器 1 出力を加算する加算器 2 の出力データの大きさに応じて、所あふれ処理回路 12 ではその出力データを制御する。第 4 図は、その状態を説明したもので、例えば第 4 図 (A) の如く、所あふれ処理 12 に対する入力データの絶対値が 1 より小の際、即ち正の場合は小数点以上 3 ビットがオール 0 であり、負の場合は小数点以上 3 ビットがオール 1 である為、第 3 図のアンドゲート 13 またはアンドゲート 17 より信号 10 が output されることになり、従って、トランസフヰゲート 20 ～ 27 が開成され、入力データが、そのまま出力データとなる。

また、第 4 図 (B) は、所あふれ処理回路 12 に対する入力データの絶対値が 1 以上 2 未満の場合であり、このときは、上記オアゲート 18 出力は 10 となる為、トランസファゲート 30 ～ 37 が開成されることになる。従って、この所あふれ

特開昭57- 20014(3)

処理回路 12 に対する入力データが正値の場合は、符号ビットのみを 0 とし、他のビットを全て 1 として、出力することになり、他方、上記入力データが負値の場合は、符号ビットのみを 1 とし、他のビットを全て 0 として出力することになる。よって、この場合は、所あふれ処理回路 12 の出力は、正の場合ダイナミックレンジの最大値となり、負の場合、ダイナミックレンジの最小値となる。

更に、第 4 図 (C)、(D) は各々、所あふれ処理回路 12 に対する入力データの絶対値が 2 以上 3 未満の場合と、3 以上 4 未満の場合を示すものであるが、いずれの場合も、上記第 4 図 (B) の場合と同様に、所あふれ処理回路 12 は動作し、その出力データは正の場合ダイナミックレンジの最大値となり、負の場合ダイナミックレンジの最小値となるものである。

従って、第 2 図に示すデジタルフィルタでは、所あふれ処理回路 12 によって、オーバーフローが防止出来、よってフィルタの発振を防止すると

ことが可能となる。

尚、上記実施例では、本発明を 2 次 / 2 次の巡回型デジタルフィルタに適用したるものであるが、本発明はより高次のデジタルフィルタにも同様に適用し得ることは勿論であり、また所あふれ処理回路を設ける経路位置も、必要に応じて随々変更し得ることは勿論である。

以上詳細に説明した如く、本発明のデジタルフィルタの所あふれ処理装置は、並列演算処理により動作するデジタルフィルタにおいて、処理データの符号ビットを含む複数ビットのデータに落きダイナミックレンジに対するオーバーフローを検出し、その検出結果に基き、正の場合ダイナミックレンジの最大値、負の場合ダイナミックレンジの最小値を出力して所あふれ処理を行うようとした為、簡単な回路を付加するのみで、デジタルフィルタの所あふれによる振動動作を防止し得ると共に、予めダイナミックレンジが決定される為固定小数点演算に非常に有効である等、優れた効果を有するものである。

#### 4. 図面の簡単な説明

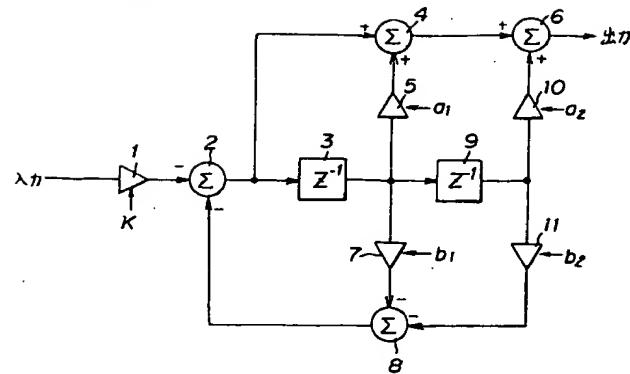
第 1 図は、従来のデジタルフィルタの回路構成を示す図。第 2 図乃至第 4 図は本発明の一実施例を示し、第 2 図は本実施例のデジタルフィルタの回路構成図、第 3 図は、第 2 図の所あふれ処理回路 12 の詳細を示す図、第 4 図は本実施例の動作を説明する為の図である。

- 1、5、7、10、11 … 乗算器、
- 2、4、6、8 … 加算器、
- 3、9 … 遅延回路、
- 12 … 所あふれ処理回路、
- 13、17 … アンドゲート、
- 20～27、30～37 … トランസファゲート。

特許出願人

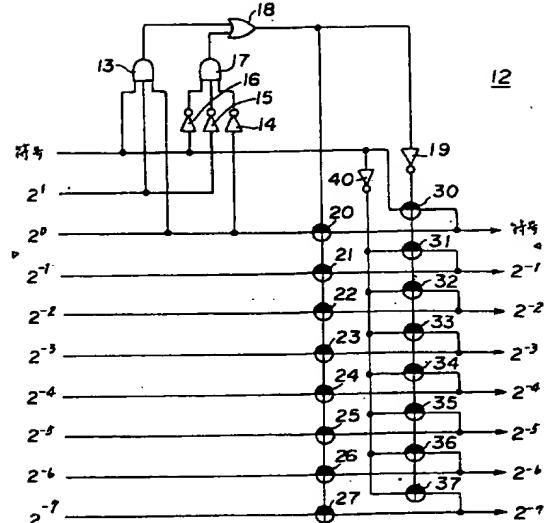
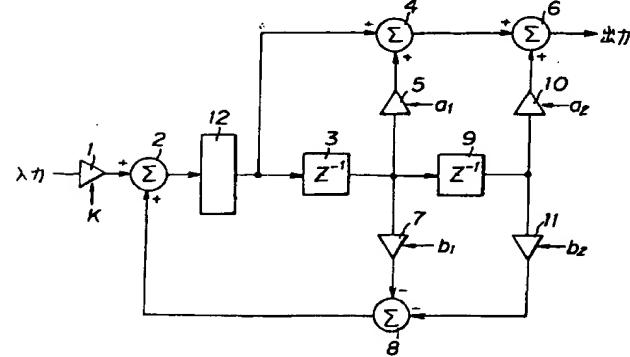
カシオ計算機株式会社

## 第 1 図



### 第 3 圖

## 第 2 圖



第4圖

$$(A) \quad \begin{array}{ccccccccc} 1 & 3 & 2 & 2 & 2 & 2 & 2 & 2 & 2 \\ 0 & 0 & 0 & - & - & - & - & - & - \\ 1 & 1 & 1 & - & - & - & - & - & - \end{array} \quad \longrightarrow \quad \begin{array}{ccccccccc} 1 & 3 & 2 & 2 & 2 & 2 & 2 & 2 & 2 \\ 0 & - & - & - & - & - & - & - & - \\ 1 & - & - & - & - & - & - & - & - \end{array}$$

$$(B) \quad \begin{array}{cccccccccc} 2^0 & 2^1 & 2^2 & 2^3 & 2^4 & 2^5 & 2^6 & 2^7 \\ \hline 0 & 0 & 1 & - & - & - & - & - \\ 1 & 1 & 0 & - & - & - & - & - \end{array} \quad \rightarrow \quad \begin{array}{cccccccccc} 2^0 & 2^1 & 2^2 & 2^3 & 2^4 & 2^5 & 2^6 & 2^7 \\ \hline 0 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{array}$$

$$(C) \quad \begin{array}{ccccccccc} 1 & 2 & 2 & 2 & 2 & 2 & 2 & 2 & 2 \\ 0 & 1 & 0 & - & - & - & - & - & - \\ 1 & 0 & 1 & - & - & - & - & - & - \end{array} \quad \longrightarrow \quad \begin{array}{ccccccccc} 1 & 2 & 2 & 2 & 2 & 2 & 2 & 2 & 2 \\ 0 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{array}$$